

PAT-NO: JP403075976A  
DOCUMENT-IDENTIFIER: JP 03075976 A  
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE  
PUBN-DATE: March 29, 1991

INVENTOR-INFORMATION:

| NAME          | COUNTRY |
|---------------|---------|
| FUSE, TAKESHI |         |

ASSIGNEE-INFORMATION:

| NAME        | COUNTRY |
|-------------|---------|
| FUJITSU LTD | N/A     |

APPL-NO: JP01213459  
APPL-DATE: August 18, 1989

INT-CL (IPC): G06F015/78 , G06F001/04 , G06J001/00 , H03M001/00

ABSTRACT:

PURPOSE: To prevent the malfunction of an analog processing part caused by a noise of a power source corresponding to the system clock signal synchronization by shifting relatively phases of a clock signal applied to a digital processing part and a clock signal applied to the analog processing part.

CONSTITUTION: In the device provided with a digital processing part 2 and an analog processing part 3 operated based on clock signals of the same synchronization in the same chip, phases of a clock signal CK1 and CK2 applied to the processing parts 2, 3, respectively are shifted relatively by a delaying circuit 5. In such a way, a malfunction of the analog processing part by a noise of a power source line caused by the clock signal for the digital processing can be prevented.

COPYRIGHT: (C)1991, JPO&Japio

## ⑫ 公開特許公報(A)

平3-75976

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月29日

G 06 F 15/78

510 P

9072-5B

1/04

A

7459-5B

G 06 J 1/00

Z

6945-5B

H 03 M 1/00

9055-5J

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-213459

⑰ 出 願 平1(1989)8月18日

⑱ 発 明 者 布 施 武 司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井桁 貞一 外2名

## 明 細 書

## 3. 発明の詳細な説明

## 1. 発明の名称

半導体集積回路装置

## 2. 特許請求の範囲

同一周期のクロック信号に基づいて動作するデジタル処理部(2)およびアナログ処理部(3)が同一チップ内に設けられてなる半導体集積回路装置において、

前記デジタル処理部(2)に与えられる第1のクロック信号(CK<sub>1</sub>)と前記アナログ処理部(3)に与えられる第2のクロック信号(CK<sub>2</sub>)との位相を相対的にシフトするクロックシフト回路(5)を含むことを特徴とする半導体集積回路装置。

## 〔概要〕

本発明は、デジタルデータ処理するデジタルデータ処理部およびアナログデータ処理するアナログ処理部を同一チップ内に備えた半導体集積回路装置に係り、特に高精度のアナログ／デジタルコンバータ(以下、A/Dコンバータと呼ぶ。)を内蔵するワンチップマイクロコンピュータに関し、

システムクロック信号同期に対応する電源ノイズによるアナログ処理部の誤動作を防止できる半導体集積回路装置を提供することを目的とし、

同一周期のクロック信号に基づいて動作するデジタル処理部およびアナログ処理部が同一チップ内に設けられてなる半導体集積回路装置において、前記デジタル処理部に与えられる第1のクロック信号と、前記アナログ処理部に与えられる第2のクロック信号との位相を相対的にシフトするクロックシフト回路を含むように構成する。

## 〔産業上の利用分野〕

本発明は、デジタルデータ処理するデジタルデータ処理部およびアナログデータ処理するアナログ処理部を同一チップ内に備えた半導体集積回路装置に係り、特に高精度のアナログ／デジタルコンバータ（以下、A／Dコンバータと呼ぶ。）を内蔵するワンチップマイクロコンピュータに関する。

近年、ワンチップマイクロコンピュータには高処理能力が要求されており、精度の高いA／Dコンバータを内蔵する傾向にある。それに伴い、ノイズに強いA／Dコンバータの作成が望まれている。

## 〔従来の技術〕

ワンチップマイクロコンピュータには外部入力信号をデジタル信号に変換して処理するために、A／Dコンバータを搭載したものがある。かかるワンチップマイクロコンピュータではデジタル処理部とアナログ処理部とが同一チップ内に混在す

ることとなる。

このA／Dコンバータはデジタル処理部と同期して動作させる必要があるため、当該チップ内に設けられたシステムクロック発生部からのシステムクロック信号を使用する構成となっている。

一方、ワンチップマイクロコンピュータは益々高集積化される傾向にあり、内部配線が複雑化しつつある。その結果、場所によってはクロック信号線と電源線とが近接する場合が生じてくることが多くなる。

## 〔発明が解決しようとする課題〕

上記のように、クロック信号線と電源線とが近接すると両配線間が容量結合された状態となり、この容量結合を介してシステムクロック信号の変化（“H”レベルと“L”レベル間のレベル変化）が電源線に影響を与え電源電圧にノイズが発生する問題がある。この電源ノイズはシステムクロック信号に同期しており、かつ、A／Dコンバータの少なくとも正側電源もしくは負側電源のどちら

— 3 —

か一方はこの同じ電流源から電源供給を受けるためA／Dコンバータの動作に上記ノイズによる影響が出ることとなる。

例えば、第4図に示すように、時刻 $t_0$ においてシステムクロック信号が立ち上がると、電源配線を介して電源ラインにノイズが発生する。この時、動作クロック信号としてシステムクロック信号を使用しているアナログ処理部は、その動作タイミングがノイズ発生時と重なるため誤動作する。このため、その変換特性が悪化するという問題点があった。

そこで、本発明は、システムクロック信号同期に対応する電源ノイズによるアナログ処理部の誤動作を防止できる半導体集積回路装置を提供することを目的とする。

## 〔課題を解決するための手段〕

上記課題を解決するため、本発明は、同一周期のクロック信号に基づいて動作するデジタル処理部（2）およびアナログ処理部（3）が同一チッ

— 4 —

プ内に設けられてなる半導体集積回路装置において、前記デジタル処理部（2）に与えられる第1のクロック信号（CK<sub>1</sub>）と、前記アナログ処理部（3）に与えられる第2のクロック信号（CK<sub>2</sub>）との位相を相対的にシフトするクロックシフト回路（5）を含むように構成する。

## 〔作用〕

本発明によれば、クロックシフト回路（5）により、前記デジタル処理部（2）に与えられる第1のクロック信号（CK<sub>1</sub>）と、前記アナログ処理部（3）に与えられる第2のクロック信号（CK<sub>2</sub>）との位相が相対的にシフトされる。したがって、クロック信号線と電源線との近接による容量結合が存在したとしてもアナログ処理部（2）の動作に影響を与えない。

## 〔実施例〕

次に、第1図乃至第3図を参照して本発明の実施例を詳細に説明する。

— 5 —

— 6 —

第1図に本発明に係るワンチップマイクロコンピュータの概略構成を示す。

第1図に示すようにワンチップマイクロコンピュータ1は、大別して、CPU6、タイマ7等のデジタル処理回路を含むデジタル処理部2と、A/Dコンバータ等のアナログ処理回路を含むアナログ処理部3とからなる。

デジタル処理部2とアナログ処理部3とは共に、システムクロック信号発生部4からのシステムクロック信号CK<sub>1</sub>に基づいて動作するが、システムクロック信号発生部4とアナログ処理部3との間には遅延回路5が設けられている。

遅延回路5はシステムクロック信号CK<sub>1</sub>を所定時間だけ遅延させることにより位相差を持たせた第2クロック信号CK<sub>2</sub>を出力するものである。

第2図に第1図の実施例のタイミングチャートを示す。

時刻t<sub>1</sub>においてシステムクロック信号が立ち上がると、電源ラインにノイズが発生する。ここで、遅延回路5によりシステムクロック信号

CK<sub>1</sub>の位相を時間τだけシフトさせて第2クロック信号CK<sub>2</sub>を生成する。したがって、アナログ処理部3の動作タイミングは時刻t<sub>1</sub>から開始されることとなり、電源ライン上のノイズの発生周期と第2クロック信号CK<sub>2</sub>とのタイミングがずれるのでアナログ処理部3が誤動作することがなくなる。

第3図にアナログ処理部3としてチョップ形コンパレータと呼ばれる逐次比較型A/Dコンバータに適用した場合の具体例を示す。なお、以下においては、説明の簡略化のため、逐次比較型A/Dコンバータのコンパレータ部の動作についてのみ説明する。

コンパレータ部8は入力電圧V<sub>in</sub>および基準電圧V<sub>ref</sub>を制御信号により切換える切換スイッチ9と、入力電圧V<sub>in</sub>および基準電圧V<sub>ref</sub>を比較する比較回路10と、比較結果を一時的に格納するラッチ回路11と、バイアス信号の入力を遅らせることにより比較回路10の動作タイミングを遅らせる第1遅延回路12と、ラッチ信号の入力

- 7 -

を遅らせることによりラッチ回路11への比較結果の取込タイミングを遅らせる第2遅延回路13と、を備えて構成されている。

比較回路10は、バイアス信号によりスイッチング動作を行う2個のN-MOSトランジスタと、2個のカップリングコンデンサと、第1インバータI<sub>V1</sub>および第2インバータI<sub>V2</sub>の2個のインバータと、を備えて構成されている。ここで、各2個ずつ備えているのは増幅を行うためである。

第1遅延回路12および第2遅延回路13は、それぞれ2個のインバータと、2個のコンデンサとを備えて構成されている。

入力電圧V<sub>in</sub>をサンプリングするときは、バイアス信号をアクティブにし、第1遅延回路12により所定時間遅らせて2個のN-MOSをオンにする。この時の第1インバータI<sub>V1</sub>の入力電圧V<sub>inv</sub>はほぼこの第1インバータI<sub>V1</sub>の論理しきい値電圧V<sub>TH</sub>に等しくなっており、次式が成り立っている。

- 8 -

$$V_{inv} = V_{TH}$$

この時のa点における電荷Q<sub>a</sub>を求めると、

$$Q_a = C(V_{in} - V_{TH})$$

である。

次に、比較時には、スイッチを基準電圧V<sub>ref</sub>側にして、バイアス信号をインアクティブにして2個のN-MOSをオフにする。この時のa点における電荷Q<sub>a'</sub>を求めると、電荷保存の原則より、

$$\begin{aligned} Q_{a'} &= C(V_{ref} - V_x) \\ &= C(V_{in} - V_{TH}) \end{aligned}$$

となる。したがって、

$$\begin{aligned} V_{ref} - V_x &= V_{in} - V_{TH} \\ \therefore V_x &= (V_{ref} - V_{in}) + V_{TH} \end{aligned}$$

となる。

以上により、比較時にはa点に入力電圧V<sub>in</sub>と基準電圧V<sub>ref</sub>の差が出力され、ラッチ信号入力時には比較結果がラッチ回路11に取り込まれることとなる。

逐次比較型A/Dコンバータは比較的電源ノイ

ズに弱い、すなわち、P S R R (Power Supply rejection ratio) が低い。したがって、第1遅延回路12および第2遅延回路13を設けずに動作させると、バイアス信号およびラッチ信号はシステムクロック信号 $CK_1$ に基づいて発生される制御信号であるため、その立ち上がり時または立ち下がり時に発生する電源ラインのノイズにより、誤動作し変換特性が劣化することになる。しかしながら、第1遅延回路12および第2遅延回路13により逐次比較型A/Dコンバータの変換タイミングとバイアス信号およびラッチ信号の立ち上がりタイミングまたは立ち下がりタイミングはずれることとなり、誤動作を起こすことはない。

以上の実施例においては、バイアス信号およびラッチ信号の遅延をアナログ的に(RC時定数)発生しているがシステムクロック信号より周期の短いクロック信号が同一マイクロコンピュータチップ内に存在する場合は、バイアス信号およびラッチ信号を当該短周期のクロック信号でラッチすることによりデジタル的に遅延させることができ

る。

また、遅延回路5をアナログ処理部3の前段に設けていたが、アナログ処理部3をシステムクロック信号 $CK_1$ により動作させ、デジタル処理部3の前段に遅延回路5を設けて第2クロック信号 $CK_2$ により動作するように構成することも可能である。

さらに、アナログ処理部3として、A/Dコンバータを例にしたが、出力段にデジタル/アナログコンバータ(D/Aコンバータ)を備える場合もあり、そのD/Aコンバータに対しても、本発明の適用があることはいうまでもない。

#### (発明の効果)

本発明は、以上のように構成したので、同一チップ内にデジタル処理部およびアナログ処理部が存在する場合であっても、デジタル処理用のクロック信号による電源ラインのノイズによりアナログ処理部が誤動作を起こすことがないので、例えばD/Aコンバータのような場合には変換特性が

— 1 1 —

劣化することはないという効果を奏する。

#### 4. 図面の簡単な説明

第1図は本発明に係るワンチップマイクロコンピュータの概要構成図、

第2図は第1図の実施例のタイミングチャート、

第3図は逐次比較型A/Dコンバータのコンパレータ部のブロック図、

第4図は従来例のタイミングチャートである。

1…ワンチップマイクロコンピュータ

2…デジタル処理部

3…アナログ処理部

4…システムクロック信号発生部

5…遅延回路

6…CPU

7…タイマ

8…コンパレータ部

9…切換スイッチ

10…比較回路

11…ラッチ回路

— 1 3 —

— 1 2 —

12…第1遅延回路

13…第2遅延回路

$CK_1$ …システムクロック信号

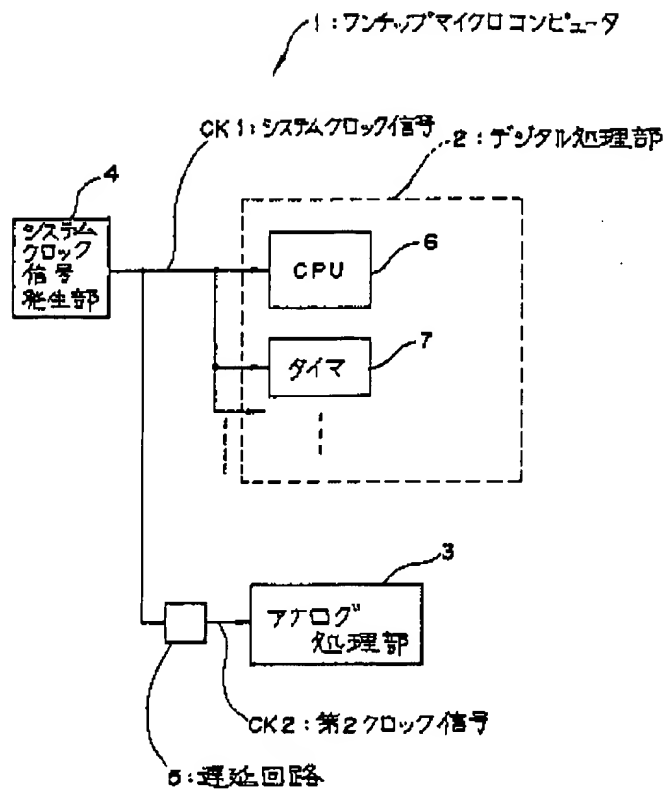
$CK_2$ …第2クロック信号

$IV_1$ …第1インバータ

$IV_2$ …第2インバータ

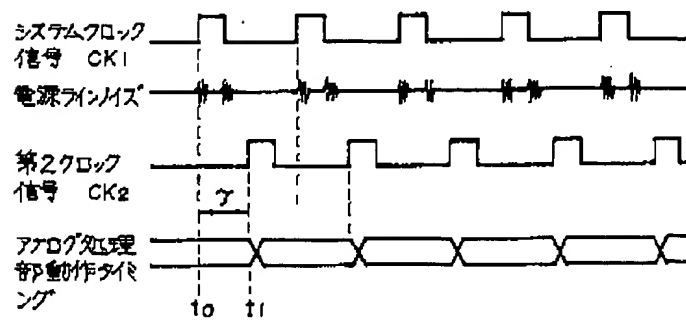
代理人弁理士 井 裕 貞 —

— 1 4 —



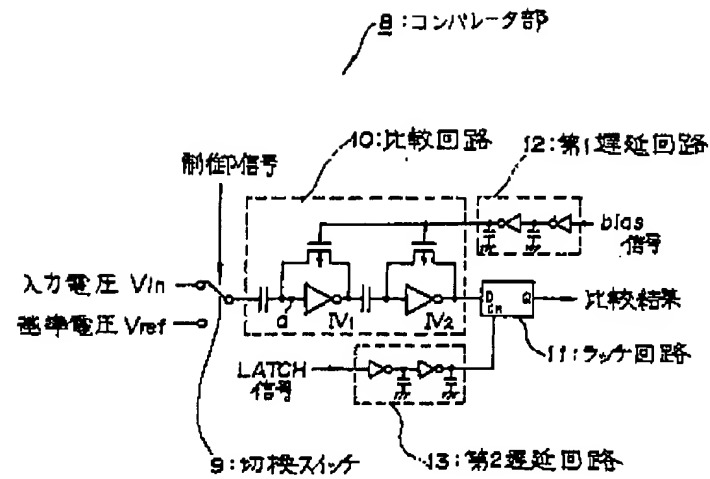
本発明に係るワンチップマイクロコンピュータの概要構成図

第 1 図



第1図の実施例のタイミングチャート

第 2 図

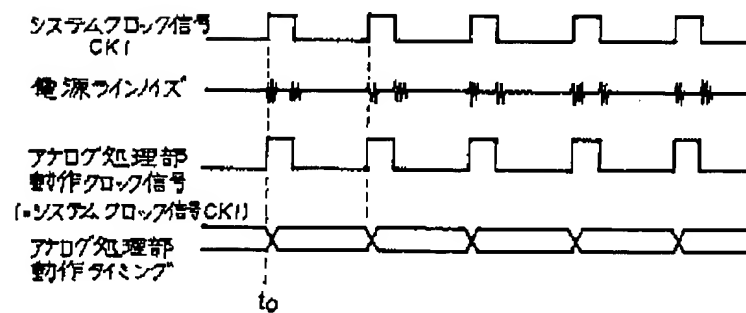


IV1:第1インバータ

IV2:第2インバータ

逐次比較型A/Dコンバータのコンパレータ部のブロック図

第3図



従来例のタイミングチャート

第4図